

## PATENT ABSTRACTS OF JAPAN

NEC-5110 (4)

(11)Publication number : 2002-299337

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 21/312  
 C09D 5/25  
 C09D183/04  
 H01L 21/316  
 H01L 21/768

(21)Application number : 2001-096678

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.03.2001

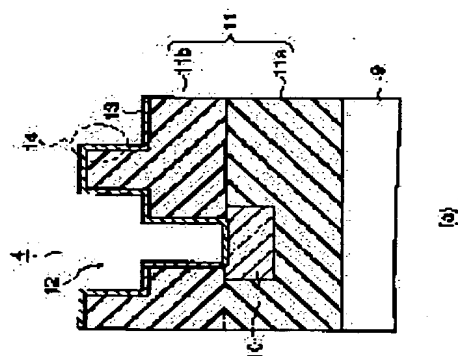
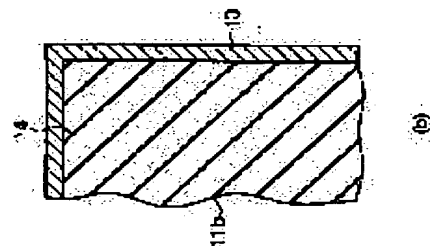
(72)Inventor : MIYAJIMA HIDESHI  
 SHIMADA MIYOKO  
 NAKADA RENPEI

**(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device manufacturing method and a semiconductor device, which easily approximately uniformly forms a low dielectric constant insulation film are strength of which can be improved easily.

**SOLUTION:** The method comprises applying varnish 11b of a liquid material for a second layer poly(methyl silsesquioxane) film, which is a second layer low dielectric constant layer insulation film onto the surface of a first layer low dielectric constant layer insulation film 11a, formed on a semiconductor substrate 9, after heating the varnish 11b at about 100° C and then at about 200° C in two steps each for about two min, thereby adhering the varnish 11b onto the film 11a, placing the varnish 11b in a low-pressure atmosphere of about 10 Torr containing Ar as a main component, heating and holding it at about 40° C and irradiating the held varnish 11b with an electron beam at a radiation rate of about 1,000  $\mu\text{C}/\text{cm}^2$  for about 30 min, thereby forming the second layer poly(methyl silsesquioxane)(MSQ) film 11b, having an approximately uniform quality and a strength enough for practical use.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299337

(P2002-299337A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/312		H 0 1 L 21/312	C 4 J 0 3 8
C 0 9 D 5/25		C 0 9 D 5/25	5 F 0 3 3
183/04		183/04	5 F 0 5 8
H 0 1 L 21/316		H 0 1 L 21/316	G
21/768		21/90	P

審査請求 未請求 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-96678(P2001-96678)

(22) 出願日 平成13年3月29日 (2001. 3. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 宮島 秀史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 島田 美代子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

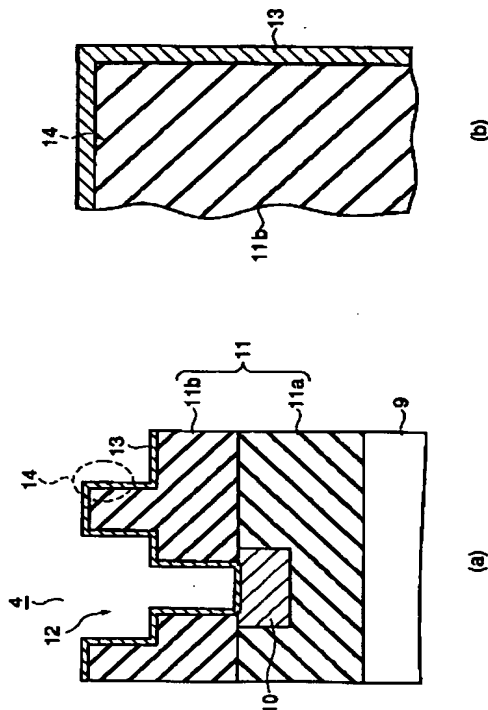
最終頁に続く

## (54) 【発明の名称】 半導体装置の製造方法および半導体装置

## (57) 【要約】

【課題】低誘電率絶縁膜を略均一に容易に形成できるとともに、その強度を容易に向上できる半導体装置の製造方法および半導体装置を提供する。

【解決手段】半導体基板9の上に形成した第1層低誘電率層間絶縁膜11aの表面上に、第2層低誘電率層間絶縁膜としての第2層ポリメチルシルセスキオキサン膜の液状原料であるワニス11bを塗布する。ワニス11bを、先ず約100℃、次に約200℃でそれぞれ約2分間ずつ保持しつつ段階的に加熱して、ワニス11bを膜11a上に固着させる。続けて、Arガスを主成分とする約10Torrの減圧雰囲気下にワニス11bを配置し、約400℃に加熱して保持しつつ、照射量が約1000μC/cm<sup>2</sup>の電子線をワニス11bに向けて約30分間照射する。これにより、略均一な膜質を有するとともに、実用上十分な強度を有する第2層ポリメチルシルセスキオキサン (MSQ) 膜11bを成膜する。



## 1

## 【特許請求の範囲】

【請求項1】半導体基板の上に、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成される低誘電率絶縁膜の形成材料を塗布する工程と、前記半導体基板の上に塗布された前記低誘電率絶縁膜の形成材料に加熱処理を施しつつ、該低誘電率絶縁膜の形成材料に向けて電子線を照射することにより、低誘電率絶縁膜を焼成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記低誘電率絶縁膜の形成材料は、これを構成する各グループのうちの少なくとも1グループが、メチル基を有するシロキサン結合を主骨格とする材料を含んでいることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記低誘電率絶縁膜は、有機樹脂製であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記低誘電率絶縁膜の形成材料は、これを構成する各グループ同士の平均分子量の比が少なくとも100倍異なることを特徴とする請求項1～3のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項5】前記低誘電率絶縁膜の形成材料は、これに向けて電子線が照射される際に、所定の減圧雰囲気下に配置されることを特徴とする請求項1～4のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項6】前記低誘電率絶縁膜のうち、前記半導体基板に接触して焼成される低誘電率絶縁膜に、銅を主成分とする埋め込み配線を形成することを特徴とする請求項1～5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】半導体基板と、この半導体基板の上に形成された低誘電率絶縁膜と、を具備した半導体装置であって、前記低誘電率絶縁膜は、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成されている形成材料に加熱処理を施しつつ、該形成材料に向けて電子線を照射することにより焼成されていることを特徴とする半導体装置。

【請求項8】前記半導体基板の上には、銅を主成分とする埋め込み配線が形成された低誘電率絶縁膜が、該半導体基板に接触して焼成されていることを特徴とする請求項7に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、例えば、低誘電率層間絶縁膜を具備する半導体装置の製造方法、およびこの製造方法によって製造された半導体装置に関する。

## 【0002】

【従来の技術】近年、半導体装置の微細化および高速化

## 2

に伴い、単層構造であった配線構造の多層化が進んでいる。中には、5層以上の金属配線構造を有する半導体装置も開発および生産されている。ところが、半導体装置の微細化が進むにつれて、いわゆる配線間寄生容量と配線抵抗による信号伝達遅延の問題が大きくなっている。すなわち、配線構造の多層化に伴い、これに起因する信号伝達遅延が半導体装置の高速化を妨げる問題が増大している。

【0003】このような配線構造の多層化に伴う信号伝達遅延の回避策として、従来から様々な解決方法が取られていた。一般的に、信号伝達遅延は、前述した配線間寄生容量と配線抵抗との積で示すことができる。すなわち、信号伝達遅延を改善するためには、配線間寄生容量を低減させるとともに、配線抵抗も低減させることが好ましい。

【0004】配線抵抗を低減させるためには、例えば従来のアルミニウム配線から銅配線へと、配線の主な構成材料を、より抵抗の低いものへ移行させる技術が試みられている。この場合、従来のアルミニウム配線と同様に、銅をドライエッチングすることにより配線形状に加工することは極めて困難である。このため、銅を配線に用いる場合には、埋め込み配線構造の技術を採用する。

【0005】また、配線間の寄生容量を低減させるためには、例えば従来の二酸化珪素 ( $\text{SiO}_2$ ) を主成分とした絶縁膜を形成する替りに、 $\text{SiOF}$  を主成分とした絶縁膜をCVD法により形成する技術が試みられている。あるいは、前記 $\text{SiO}_2$ 絶縁膜よりも比誘電率が低い、いわゆるSOG (Spin on Glass) 膜や、有機樹脂 (ポリマー) 膜などの低誘電率絶縁膜を、塗布法の一つであるスピンコート法によって形成する技術が試みられている。

【0006】一般的に、従来から用いられている $\text{SiO}_2$ 絶縁膜の比誘電率は、3.9程度がその実用上の下限であるとされている。これに対して、 $\text{SiOF}$ 絶縁膜は、その比誘電率を3.3程度まで低減させることが可能であるとされている。ただし、この $\text{SiOF}$ 絶縁膜も、その比誘電率を3.3よりも低くすることは、膜の安定性の面から実用上は極めて困難とされている。ところが、前記SOG (Spin on Glass) 膜や、有機樹脂 (ポリマー) 膜などの低誘電率絶縁膜は、その比誘電率を2.0程度まで下げることが可能とされているために、それらの成膜技術の開発が盛んに試みられている。

## 【0007】

【発明が解決しようとする課題】ところが、低誘電率絶縁膜は、一般に密度が低いため脆く、その強度 (機械的強度) が低い。具体的には、例えば、従来のCVD法によって形成された酸化膜では、その強度を示す尺度の一つである弾性率が70GPa程度であるが、これに対して比誘電率が3.0以下の低誘電率絶縁膜では、弾性率が6GPa以下と、従来の膜と比較して極端に低下する。このような低誘電率絶縁膜の強度が低下する問題を解決

## 3

するためには、低誘電率絶縁膜の形成材料を、分子量および構造の異なる少なくとも2種類の材料（原料粒子）を、所定の混合比にて混合させて作ればよいことが明らかにされている。具体的には、例えば一方の分子量が200万であり、他方の分子量が2000である2種類の材料を、所定の混合比にて混合した低誘電率絶縁膜の形成材料を用いることにより、単一の分子量の材料で形成した低誘電率絶縁膜と比較して、機械的強度が1.5倍程度まで改善可能なことが分かっている。

【0008】ところが、分子量（大きさ）および構造が異なる2種類の原料粒子が混合されて結合することにより、低誘電率絶縁膜（薄膜）が形成されると、より大きい分子量を有する原料粒子の大きさ（約数十ナノ・メートル）程度の周期で、形成された膜中にむらが発生してしまう。このむらが存在すると、図3に示すように、低誘電率絶縁膜102およびバリアメタル103が形成された半導体装置101に、例えばドライエッチング加工やCMPを施すと、それらのエッチング速度やCMP速度に違いが生じ、これに起因して低誘電率絶縁膜102およびバリアメタル層103に凹部104が形成されてしまう。場合によっては、図示しない凸部も形成されるおそれがある。

【0009】特に、半導体装置101に、図示しない埋め込み配線構造が形成されている場合、その図示しない配線溝やビアホールなどを形成する際に、それらの側壁部分に、前述したように凹凸が生じるおそれがある。配線溝やビアホールなどの側壁部分に前記凹凸が生じると、図示しないCu配線を利用する際に必要となるバリアメタル層103の均一な膜厚での形成を困難にする。バリアメタル層103が均一な膜厚で形成されないと、Cu配線間におけるリーク等のバリア特性に起因した不具合が発生するおそれがある。

【0010】よって、本発明の目的は、低誘電率絶縁膜を略均一に容易に形成できるとともに、その強度を容易に向上できる半導体装置の製造方法、およびこの製造方法により製造された半導体装置を提供することにある。

## 【0011】

【課題を解決するための手段】前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体基板の上に、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成される低誘電率絶縁膜の形成材料を塗布する工程と、前記半導体基板の上に塗布された前記低誘電率絶縁膜の形成材料に加熱処理を施しつつ、該低誘電率絶縁膜の形成材料に向けて電子線を照射することにより、低誘電率絶縁膜を焼成する工程と、を含むことを特徴とするものである。

【0012】この半導体装置の製造方法においては、半導体基板の上に塗布された、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成される低誘電率絶縁膜の形成材料に加熱処理を施しつつ、低誘

## 4

電率絶縁膜の形成材料に向けて電子線を照射することにより、低誘電率絶縁膜を焼成する。これにより、平均分子量が異なる各グループに含まれる各分子の、加熱による各分子内、あるいは各分子間における縮合反応または重合反応、ならびに電子線照射による各分子内、あるいは各分子間の結合の切断を、各グループ内のみならず、各グループ間においても併せて行うことができる。したがって、この半導体装置の製造方法によれば、分子量が異なる分子同士を略均一に、かつ容易に混じり合わせて結合させることができる。

【0013】また、本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以下に述べるような設定としても構わない。

【0014】前記低誘電率絶縁膜の形成材料は、これを構成する各グループのうちの少なくとも1グループが、メチル基を有するシロキサン結合を主骨格とする材料を含んでいる。

【0015】前記低誘電率絶縁膜は、有機樹脂製である。

【0016】前記低誘電率絶縁膜の形成材料は、これを構成する各グループ同士の平均分子量の比が少なくとも100倍異なる。

【0017】前記低誘電率絶縁膜のうち、前記半導体基板に接触して焼成される低誘電率絶縁膜に、銅を主成分とする埋め込み配線を形成する。

【0018】前記低誘電率絶縁膜の形成材料は、これに向けて電子線が照射される際に、所定の減圧雰囲気下に配置される。

【0019】本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以上述べたような各種設定とすることにより、所望される低誘電率絶縁膜の種類などに応じて、より適正な形成材料や成膜環境などを設定できる。

【0020】また、前記課題を解決するために、本発明に係る半導体装置は、半導体基板と、この半導体基板の上に形成された低誘電率絶縁膜と、を具備した半導体装置であって、前記低誘電率絶縁膜は、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成されている形成材料に加熱処理を施しつつ、該形成材料に向けて電子線を照射することにより焼成されていることを特徴とするものである。

【0021】この半導体装置においては、半導体基板の上に形成された低誘電率絶縁膜が、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成されている形成材料に加熱処理を施しつつ、該形成材料に向けて電子線を照射することにより焼成されている。これにより、平均分子量が異なる各グループに含まれる各分子の、加熱による各分子内、あるいは各分子間における縮合反応または重合反応、ならびに電子線照射による各分子内、あるいは各分子間の結合の切断が、各グル

ープ内のみならず、各グループ間においても併せて行われる。したがって、この半導体装置が具備する低誘電率絶縁膜は、分子量が異なる分子同士が略均一に、かつ容易に混じり合わされて結合される。

【0022】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0023】前記半導体基板の上には、銅を主成分とする埋め込み配線が形成された低誘電率絶縁膜が、該半導体基板に接触して焼成されている。

【0024】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような設定とすることにより、半導体装置が具備する配線を低誘電率絶縁膜により適正な状態で保持できる。

#### 【0025】

【発明の実施の形態】以下、本発明の一実施形態に係る半導体装置の製造方法、およびこの製造方法によって製造された半導体装置を、図1および図2(a)、(b)に基づいて説明する。

【0026】先ず、本実施形態の半導体装置の製造方法、およびこの製造方法によって製造された半導体装置4について説明するのに先立って、本製造方法を実施して半導体装置4を製造する際に用いる半導体製造装置1を、図1を参照しつつ説明する。

【0027】半導体製造装置1は、図1に示すように、半導体基板9に低誘電率絶縁膜11を焼成する工程が実施される処理室2を備えている。処理室2の上部には半導体基板9の上に塗布された低誘電率絶縁膜11の形成材料に向けて、図1中実線矢印で示すように、電子線

(EB)を全面的に照射可能な電子線照射装置3が複数台、本実施形態においては4台設けられている。また、処理室2の内部には、4台の電子線照射装置3の下側に、半導体基板9が載置される試料支持台5が設けられている。この試料支持台5は、半導体基板9の上に塗布された低誘電率絶縁膜11の形成材料を加熱できるように、加熱装置6を有するホットプレート5として作られている。これら4台の電子線照射装置3およびホットプレート5を用いることにより、半導体基板9の上に塗布された低誘電率絶縁膜11の形成材料に加熱処理を施しつつ、低誘電率絶縁膜11の形成材料に向けて電子線を照射して、低誘電率絶縁膜11を焼成することができる。

【0028】また、処理室2の内部には、低誘電率絶縁膜11を焼成する際に、ガス導入バルブ7や図示しないガス供給装置などを介して、所望のガスを導入することが可能となっている。それとともに、処理室2の内部は、低誘電率絶縁膜11を焼成する際に、真空排気口8を介して、所定の減圧雰囲気に設定することが可能となっている。なお、図示は省略するが、真空排気口8の下流側には、開閉弁、圧力調節装置、および排気ポンプ

(真空ポンプ)などが設置されており、処理室2の内部を所定の圧力(真空状態)に設定して保持することが可能となっている。

【0029】次に、前述した半導体製造装置1を用いた本実施形態の半導体装置の製造方法、およびこの製造方法によって製造された半導体装置4について説明する。

【0030】本実施形態の半導体装置の製造方法は、半導体基板9の上に、平均分子量がグループごとに異なる、少なくとも2種類のグループから構成される低誘電率絶縁膜11の形成材料を塗布する工程と、半導体基板9の上に塗布された低誘電率絶縁膜11の形成材料に加熱処理を施しつつ、低誘電率絶縁膜11の形成材料に向けて電子線を照射することにより、低誘電率絶縁膜11を焼成する工程と、を含むことを特徴とするものである。

【0031】なお、本実施形態においては、半導体装置4に形成される低誘電率絶縁膜(低誘電率層間絶縁膜)11は、図2(a)に示すように、半導体基板9の上に成膜される第1層低誘電率絶縁膜(第1層低誘電率層間絶縁膜)11a、およびこの第1層低誘電率絶縁膜11aの上に成膜される第2層低誘電率絶縁膜(第2層低誘電率層間絶縁膜)11bの2層構造からなるものとする。これら第1層低誘電率絶縁膜11aおよび第2層低誘電率絶縁膜11bは、いずれも後述する本発明に係る半導体装置の製造方法により形成可能である。したがって、本実施形態においては、第1層および第2層の両低誘電率絶縁膜11a、11bのそれぞれの形成工程の説明が重複するのを避けるために、第1層低誘電率絶縁膜11aは予め半導体基板9の上に成膜されているものとし、この第1層低誘電率絶縁膜11aの上に第2層低誘電率絶縁膜11bを形成する場合について詳述し、第1層低誘電率絶縁膜11aの形成工程については、その詳しい説明を省略する。

【0032】半導体製造装置1を用いて第2層低誘電率絶縁膜11bを焼成するのに先立って、第1層低誘電率絶縁膜11aの上に第2層低誘電率絶縁膜11bの形成材料を設ける。本実施形態においては、塗布法の一つであるスピンコート法によって、図示しないコーターなどを用いて、第1層低誘電率絶縁膜11aの上に第2層低誘電率絶縁膜11bの形成材料を略均一な膜厚の薄膜形状となるように、むらなく塗布する。第2層低誘電率絶縁膜11bの形成材料には、ポリメチルシルセスキオキサン(MSQ)を主成分として用いた。さらに、本実施形態においては、MSQの原料として、異なる平均分子量を有する2種類のグループから構成されるMSQの前駆体を有する、MSQの液状原料である、いわゆるワニスを使用した。

【0033】また、この第2層低誘電率絶縁膜11bと同様に、第1層低誘電率絶縁膜11aも、異なる平均分子量を有する2種類のグループから構成されるポリメチ

ルシルセスキオキサン (MSQ) の前駆体を有する、MSQ の液状原料であるワニスから成膜されているものとする。さらに、第1層低誘電率絶縁膜 11a には、図 2 (a) に示すように、その第2層低誘電率絶縁膜 11b と接触する側 (表面側) に銅 (Cu) を主成分とする埋め込み配線 10 など、その他図示しない各種配線部などが予め形成されているものとする。

【0034】第2層低誘電率絶縁膜 11b の形成材料である、前述したワニス 11b が塗布 (コーティング) された半導体基板 9 および第1層低誘電率絶縁膜 11a を、ワニス 11b が上側を向くように姿勢を整えて、ホットプレート 5 上に載置する。この後、ワニス 11b の温度が約 100℃ にされた状態で約 2 分間保持されるように、ワニス 11b を半導体基板 9 および第1層低誘電率絶縁膜 11a ごと、ホットプレート 5 を用いて加熱する。続けて、同様にワニス 11b の温度が約 200℃ にされた状態で約 2 分間保持されるように、ワニス 11b を半導体基板 9 および第1層低誘電率絶縁膜 11a ごと、ホットプレート 5 を用いて加熱する。このように、ワニス 11b に 2 回の段階的な加熱処理を施すことによ

って、ワニス 11b 中に含まれる MSQ の前駆体の溶媒などを揮発 (蒸発) させて除去する。これにより、構成成分の殆どを主成分の MSQ から構成された状態となっている第2層低誘電率絶縁膜 11b のワニスを、第1層低誘電率絶縁膜 11a の上に固定化 (固着) させる。

【0035】本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、前述した 2 回の段階的な加熱処理において、ワニス 11b の温度を先ず約 80℃、次に約 200℃ と段階的に約 2 分間ずつ加熱して上昇させるのが、ワニス 11b 中の溶媒等、ポリメチルシロキサン膜の主要成分である MSQ 以外の成分を効率よく略完全に揮発させる (飛ばす) のに好ましい (適している) 温度設定であることが明らかにされている。

【0036】前述した 2 回の段階的な加熱処理を経て、第2層低誘電率絶縁膜 11b のワニスを第1層低誘電率絶縁膜 11a の上に固定化させた後、ワニス 11b に 3 回目の加熱処理を施すとともに、ワニス 11b に向けて電子線を照射する。これに先立って、処理室 2 の内部は、真空排気口 8 を介して真空ポンプによって一旦真空に引かれる。その後、処理室 2 の内部には、ガス導入バルブ 7 を介してガス供給装置によって、約 3 (L/min) の勢いで Ar ガスが導入される。それとともに、処理室 2 の内部は、真空排気口 8 を介して圧力調節装置および真空ポンプによって約 10 Torr に保持される。したがって、第1層低誘電率絶縁膜 11a の上に固定化された第2層低誘電率絶縁膜 11b のワニスは、これに 3 回目の加熱処理が施されるとともに、電子線が照射される際に、Ar ガスで満たされた 10 Torr の減圧雰囲気下に配置された状態となっている。

【0037】以上説明した状態において、ワニス 11b

の温度が約 400℃ にされた状態で約 30 分間保持されるように、ワニス 11b を半導体基板 9 および第1層低誘電率絶縁膜 11a ごと、ホットプレート 5 を用いて加熱する。前述した 2 回の段階的な加熱処理が終了した後、半導体基板 9 が載置されたホットプレート 5 はその温度が、加熱装置 (抵抗加熱ヒータ) 6 によって約 400℃ に保持されている。それとともに、ホットプレート 5 は、半導体基板 9 およびワニスの温度を約 60 秒後に約 400℃ に到達させて、その温度に保持できるように設定されている。これにより、半導体基板 9、第1層低誘電率絶縁膜 11a、およびワニス 11b は、それらの温度が約 400℃ にされた状態で約 30 分間保持される。

【0038】このようなワニス 11b への 3 回目の加熱処理に併せて、ワニス 11b に向けて電子線を照射する。電子線は、4 台の電子線照射装置 3 によって、所定の大きさの照射 (加速) エネルギーが与えられて生成されるとともに、その照射量 (Dose 量) を約 1000  $\mu\text{C}/\text{cm}^2$  に設定されて、図 1 中実線矢印で示すように、ワニス 11b に向けてその上方から全面的に、約 30 分間照射 (暴露) される。

【0039】以上説明したように、ワニス 11b への 3 回の加熱処理のうち、それらの最終工程である 3 回目の加熱処理においてのみ、ワニス 11b に加熱処理を施しつつ、ワニス 11b に向けて電子線を照射する。これは、固定化されていない状態のワニス 11b に電子線を照射することにより、ワニス 11b 中に含まれる溶媒などの、ポリメチルシルセスキオキサン (MSQ) 以外の成分まで変質させて、所望外の特性を有する低誘電率層間絶縁膜が形成されるのを未然に防ぐためである。すなわち、ワニス 11b 中に含まれる溶媒などの不要な成分が飛ばされて、固定化されたポリメチルシルセスキオキサン (MSQ) 膜 11b を、所望の特性を有する第2層低誘電率絶縁膜 (第2層低誘電率層間絶縁膜) 11b として成膜するためである。

【0040】以上説明したワニス 11b への 3 回目の加熱処理と電子線照射とを併せて行う工程を経ることにより、第2層低誘電率層間絶縁膜としての第2層ポリメチルシルセスキオキサン (MSQ) 膜 11b は、第1層低誘電率層間絶縁膜としての第1層ポリメチルシルセスキオキサン (MSQ) 膜 11a の上に焼成されて成膜される。このように、第1層 MSQ 膜 11a の上に第2層 MSQ 膜 11b が成膜された後、これらを具備する半導体装置 4 は、処理室 2 の外部に搬出されて、さらにエッチング加工や CMP などが施される。

【0041】従来の技術に係る低誘電率絶縁膜の焼成方法は、スピコート法を用いて図示しないワニスを、同じく図示しない半導体基板の上に均一にコーティングした後、同じく図示しないホットプレートを用いて 100℃ で 2 分間、続けて 200℃ で 2 分間、さらに続けて 4

00℃で30分間焼成するという、加熱処理のみによってなされていた。このような従来の技術に係る低誘電率絶縁膜の焼成方法と、本実施形態の低誘電率絶縁膜の焼成方法とは、ワニス11bを約400℃で約30分間焼成する際に、併せて電子線を照射する点が大きく異なっている。

【0042】また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、ワニス11bに3回目の加熱処理を施しつつ、ワニス11bに電子線を照射する際に、ワニス11bの温度が約400℃の略一定温度となるように約30分間の加熱処理を施すことにより、本製造方法によって形成される第2層MSQ膜11bを具備する半導体装置4が、実用上適正な動作性能を発揮できる良質な第2層MSQ膜11bを形成できることが明らかにされている。

【0043】また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、ワニス11bに3回目の加熱処理を施しつつ、ワニス11bに電子線を照射する際に、ワニス11bに照射する電子線の照射量を、約1000 $\mu$ C/cm<sup>2</sup>の略一定の値となるように設定して電子線照射を行うことにより、本製造方法によって形成される第2層MSQ膜11bを具備する半導体装置4が、実用上適正な動作性能を発揮できる良質な第2層MSQ膜11bを形成できることが明らかにされている。

【0044】さらに、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、ワニス11bに3回目の加熱処理を施しつつ、ワニス11bに電子線を照射する際に、ワニス11bを所定のガス中において、所定の範囲内の減圧雰囲気下に配置することにより、本製造方法によって形成される第2層MSQ膜11bを具備する半導体装置4が、実用上適正な動作性能を発揮できる良質な第2層MSQ膜11bを形成できることが明らかにされている。とりわけ、前記Arガスを主成分とする雰囲気中において、約10Torrという略一定の減圧値に設定された雰囲気下にワニス11bを配置することにより、本製造方法によって形成された第2層MSQ膜11bを具備した半導体装置4が、実用上極めて良好な動作性能を発揮できる極めて良質な第2層MSQ膜11bを形成できることが明らかにされている。

【0045】以上説明した製造方法により形成された、本実施形態の低誘電率（層間）絶縁膜である第2層ポリメチルシルセスキオキサン（MSQ）膜11bは、その比誘電率がおおよそ2.5〜3.0程度であり、CVD法により従来の技術を用いて形成されたSiO<sub>2</sub>膜の比誘電率がおおよそ3.9〜4.1であるのと比較するとかなり低い。したがって、本実施形態の第2層ポリメチルシルセスキオキサン（MSQ）膜11bは、図示しない高性能の高速半導体装置への適用が十分に期待できる。

【0046】また、従来の技術に係る加熱処理のみにより形成されたポリメチルシルセスキオキサン（MSQ）

膜は、その弾性率が約4GPaであり、同じくCVD法により従来の技術を用いて形成されたSiO<sub>2</sub>膜の弾性率が約70GPaであるのと比較すると、その機械的強度が非常に弱かった。このために、高性能の半導体装置に用いられる5層以上の多層配線構造向けの低誘電率層間絶縁膜として、半導体装置の広い領域に適用するのは非常に困難であった。ところが、本実施形態の第2層ポリメチルシルセスキオキサン（MSQ）膜11bは、その原料として、前述したように異なる平均分子量を有する2種類のグループから構成される前駆体を有する、液状原料のワニス11bを使用することにより、その機械的強度を向上させることが可能となった。

【0047】本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、前述したように、異なる平均分子量の2種類のグループから構成されるMSQの前駆体を有するワニス11bを、スピンコーティングにより第1層低誘電率絶縁膜11a上に塗布した後、このワニス11bを先ず約100℃で、続けて約200℃でそれぞれ約2分間ずつ加熱し、さらに続けて約400℃で約30分間加熱しつつ電子線を照射して、第2層MSQ膜11bを焼成することにより、第2層MSQ膜11bの機械的強度を向上できることが確認された。例えば、各々のグループの平均分子量の比が100倍以上であった場合、焼成された第2層MSQ膜11bの機械的強度は、従来技術によって形成されたMSQ膜の2倍以上、具体的には弾性率が約9GPaとなり、非常に効果的であった。すなわち、本実施形態の製造方法により形成された第2層ポリメチルシルセスキオキサン（MSQ）膜11bは、実用に十分に耐え得る強度を有していることが分かった。

【0048】さらに、従来の技術に係る加熱処理のみにより形成されたポリメチルシルセスキオキサン（MSQ）膜は、その膜中に微細な膜質のむら（ばらつき）が分布していた。具体的には、一方の平均分子量が200万であり、他方の平均分子量が2000と、各々のグループの平均分子量の比が約1000倍ある2種類のグループの粒子をワニスの原料として用いた場合、平均分子量が200万の大きな方のグループの粒子と略同程度の大きさである10ナノ・メートル程度の周期で、MSQ膜中に膜質のむらが発生していた。このために、成膜されたMSQ膜に対して所定の処理、例えばCMPやドライエッチング加工を施すと、それらの処理の後、MSQ膜の表面には10ナノ・メートル程度の周期で図示しない凹凸が観察された。これらの凹凸は、多層配線構造向けの低誘電率層間絶縁膜としてのMSQ膜の性能を著しく低下させていた。特に、銅（Cu）を主成分とする図示しない埋め込み配線を形成する際に、ドライエッチングをMSQ膜に施すことによって図示しない配線溝の側壁や、あるいは図示しないヴィアホール側壁に前記凹凸が生じる。これらの凹凸は、その後のメタル配線形成工



程において、図示しないバリア金属の側壁、特にその凹部における配線形成を困難にさせ、良質な金属配線を形成し難くさせる。この結果、前記凹凸はCu配線間のリーク不良を引き起こす原因となる。

【0049】ところが、本実施形態の製造方法により形成された、第2層低誘電率（層間）絶縁膜である第2層ポリメチルシルセスキオキサン（MSQ）膜11bは、これにエッチングやCMPなどの処理を施しても、図2（a）および（b）に示されているように、前述したような凹凸は殆ど観察されなかった。具体的に説明すると、先ず、予めCu配線10が形成されている第1層低誘電率（層間）絶縁膜11a上に、前述した製造方法によって第2層ポリメチルシルセスキオキサン（MSQ）膜11bを成膜した。次に、この第2層ポリメチルシルセスキオキサン（MSQ）膜11bに対して、同じくCu配線用の配線溝12をエッチングにより形成し、続けてその配線溝12にバリア金属13をスパッタ法により形成した。このようにして形成された配線溝12の、図2（a）中破線で囲まれて示されている側壁14の部分を、図2（b）に示すように拡大して示す。すると、配線溝12の側壁14を形成している第2層MSQ膜11bおよびバリア金属13には、凹凸が殆ど観察されなかった。つまり、配線溝12の側壁14には、略均一な膜厚および膜質からなる良質な第2層MSQ膜11bおよびバリア金属13が形成されていることが確認された。したがって、本実施形態の製造方法により形成された、第2層低誘電率（層間）絶縁膜である第2層ポリメチルシルセスキオキサン（MSQ）膜11bおよびバリア金属13には、Cu配線10のリーク不良が発生するおそれが殆どない。

【0050】以上説明したように、本実施形態の半導体装置の製造方法によれば、加熱作業と電子線照射作業とを併せて行うことにより、単なる加熱処理のみでは実現できないような分子間の架橋反応、分子鎖の切断、あるいは様々な基の分離などを行うことができ、加熱処理のみによる低誘電率絶縁膜の焼成とは異なる構造を有する低誘電率絶縁膜11を得ることができる。第1層低誘電率（層間）絶縁膜11aの上に塗布された第2層低誘電率層間絶縁膜11bのワニスを加熱しつつ、これに電子線を照射することにより、従来の単純な熱による焼成工程において起こる単純な縮合もしくは重合反応のみならず、ワニス11bが予め有している結合の切断と縮合および重合反応とを、併せて起こさせることができる。これにより、第2層低誘電率層間絶縁膜11bは、これが焼成される際に、その微細構造の均一化がなされる。したがって、平均分子量および構造の異なる2種類のグループの原料粒子（例えば、平均分子量が200万と2000。）を、所定の比率で混合した材料を用いても、略均一な構造（膜質）を有する第2層低誘電率層間絶縁膜11bを得ることが可能となった。

【0051】この結果、実用上極めて有効な低い比誘電率を有する第2層低誘電率（層間）絶縁膜としての第2層ポリメチルシルセスキオキサン（MSQ）膜11bを容易に形成できる。それとともに、本実施形態の半導体装置の製造方法により成膜される第2層MSQ膜11bは、実用上十分な強度を有しているとともに、半導体装置4の性能を妨げない略均一な良質な低誘電率絶縁膜11bとして形成される。また、以上説明した作用、および効果は、第1層低誘電率層間絶縁膜としての第1層ポリメチルシルセスキオキサン（MSQ）膜11aについても同様に得ることができるもちろんである。すなわち、本発明に係る半導体装置の製造方法によって製造された半導体装置4は、これが具備する2層構造からなる低誘電率絶縁膜11全体が、実用上十分な強度を有しているとともに、半導体装置4の性能を妨げない略均一な良質な低誘電率層間絶縁膜11として形成されている。

【0052】なお、本発明に係る半導体装置の製造方法、およびこの製造方法によって製造された半導体装置4は、前述した一実施形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の製造方法が有する各工程を、種々様々な状態に設定できる。

【0053】例えば、本発明に係る半導体装置の製造方法は、前述した2層構造の第1層低誘電率層間絶縁膜11aおよび第2層低誘電率層間絶縁膜11bからなる低誘電率絶縁膜11を形成する場合のみならず、1層のみからなる低誘電率絶縁膜や、あるいは3層以上の多層構造からなる低誘電率絶縁膜を形成する場合においても、前記2層構造の低誘電率絶縁膜11を形成する場合と同様の効果を得ることができる。また、本発明に係る半導体装置の製造方法によって形成される低誘電率絶縁膜11は、前述したポリメチルシルセスキオキサン（MSQ）膜以外でも構わない。例えば、ポリアリレンエーテルや、あるいはポリイミドなどの低誘電率有機樹脂膜の原料に、加熱処理および電子線照射を施した場合にも同様の効果を得ることができた。また、本実施形態では、平均分子量が異なる2種類のグループからなる原料を用いた場合について説明したが、これに限定されるわけではなく、平均分子量が異なる3種類以上のグループからなる原料を用いた場合においても同様の効果が得られた。

【0054】また、電子線照射装置3として、本実施形態では、4台の電子線照射装置3を利用したが、ワニスにむらなく電子線を照射できるものであれば、これに限定されるものではない。電子線の生成方法やその照射装置3の台数などに拘らず、本実施形態と同様の効果が得られることが確認されている。

【0055】また、第2層低誘電率層間絶縁膜11bを形成する際に、段階的に温度を上げて溶媒を揮発させる代わりに、ワニス11bを所定の減圧雰囲気下に配置し

て溶媒を揮発させることにより、ワニス 11b を基板 9 に固着させても構わない。

【0056】さらに、前述したワニス 11b の加熱温度および時間、電子線の加速エネルギーおよび照射量、ならびに雰囲気の高圧値など、諸々の設定値は、本発明に係る半導体装置の製造方法によって製造される半導体装置 4 の性能を、所望する水準に到達させることができるものであれば、製造環境に応じて、種々様々な組み合わせに設定して構わない。

#### 【0057】

【発明の効果】本発明に係る半導体装置の製造方法によれば、加熱処理と電子線照射とを併せて行うことにより、平均分子量が異なる各グループに含まれる各分子の、加熱による各分子内、あるいは各分子間における縮合反応または重合反応、ならびに電子線照射による各分子内、あるいは各分子間の結合の切断を、各グループ内および各グループ間において行わせて、分子量が異なる分子同士を略均一に、かつ容易に混じり合わせて結合させることができる。したがって、この半導体装置の製造方法によれば、平均分子量が異なる複数種類の材料から、略均一な微細構造を有し、膜厚むらなどが殆ど無い略均一な膜質を有するとともに、高強度の低誘電率絶縁膜を容易に成膜できる。

【0058】また、本発明に係る半導体装置の製造方法を実施するにあたり、所望される低誘電率絶縁膜の種類などに応じて、より適正な形成材料や成膜環境などを設定できる。したがって、平均分子量の異なる複数種類の材料から形成される低誘電率絶縁膜を、膜厚や膜質などのむらが殆ど無いより均一な膜により容易に成膜できるとともに、その強度をより容易に向上できる。

【0059】本発明に係る半導体装置によれば、これが具備する低誘電率絶縁膜が成膜される際に、加熱処理と電子線照射とが併せて行われることにより、平均分子量が異なる各グループに含まれる各分子の、加熱による各分子内、あるいは各分子間における縮合反応または重合

反応、ならびに電子線照射による各分子内、あるいは各分子間の結合の切断が、各グループ内および各グループ間において行われ、分子量が異なる分子同士が略均一に、かつ容易に混じり合わされて結合させられる。したがって、この半導体装置は、これが具備する低誘電率絶縁膜が、平均分子量が異なる複数種類の材料から、略均一な微細構造を有し、膜厚むらなどが殆ど無い略均一な膜質を有するように、かつ高強度を有するように容易に成膜される。

10 【0060】また、本発明に係る半導体装置を実施するにあたり、半導体装置が具備する配線を低誘電率絶縁膜により適正な状態で保持できる。したがって、半導体装置の電気的性能を向上できる。

#### 【図面の簡単な説明】

【図 1】本発明の一実施形態に係る半導体装置の製造方法を実施する際に使用する半導体製造装置の概略を示す図。

【図 2】本発明の一実施形態に係る半導体装置の製造方法により製造された半導体装置を示す図であり、(a) は半導体装置の配線溝付近を示す断面図、(b) は図 2 (a) 中破線で囲んだ配線溝の側壁部分を拡大して示す断面図。

【図 3】従来の技術に係る半導体装置の製造方法により製造された半導体装置の配線溝の側壁部分を拡大して示す断面図。

#### 【符号の説明】

4…半導体装置

9…半導体基板

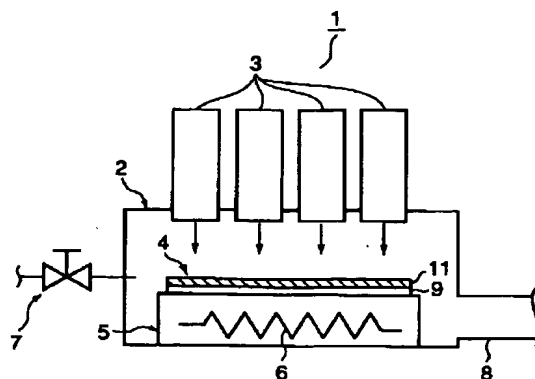
10…Cu 配線（埋め込み配線）

30 11…ポリメチルシルセスキオキサン膜（MSQ 膜、低誘電率層間絶縁膜）

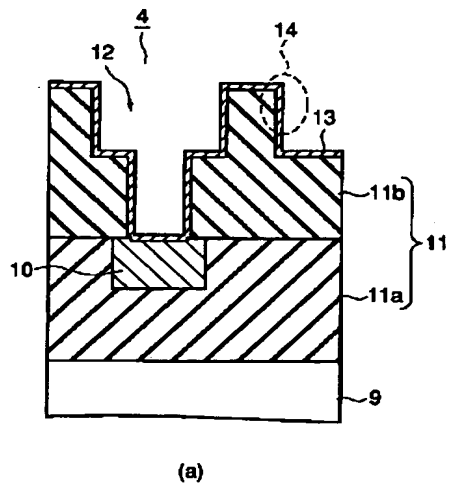
11a…第 1 層ポリメチルシルセスキオキサン膜（第 1 層 MSQ 膜、第 1 層低誘電率層間絶縁膜）

11b…第 2 層ポリメチルシルセスキオキサン膜（第 2 層 MSQ 膜、第 2 層低誘電率層間絶縁膜、ワニス）

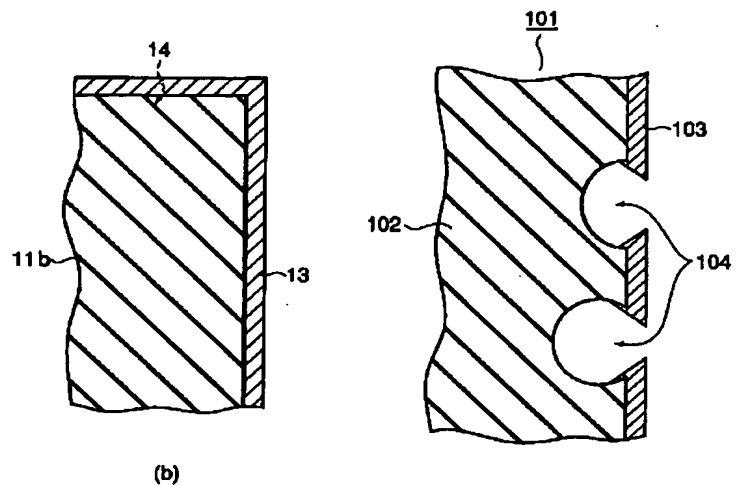
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I  
H O I L 21/90

テーマコード(参考)

S

(72) 発明者 中田 鍊平  
 神奈川県横浜市磯子区新杉田町 8 番地 株  
 式会社東芝横浜事業所内

F ターム(参考) 4J038 DF051 DF052 DJ021 DJ022  
 DL031 DL032 MA14 NA17  
 NA21 PA17 PA19 PB09 PC02  
 PC03  
 5F033 HH11 HH12 MM01 MM12 MM13  
 PP15 QQ06 QQ09 QQ48 QQ54  
 QQ74 QQ81 QQ84 QQ85 RR21  
 RR25 SS22 TT03 WW00 XX01  
 XX24  
 5F058 AA03 AA10 AC03 AD01 AF04  
 AG01 AG10 AH02